

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

10/10

10/10
10/10

10/10

THIS PAGE BLANK (USPTO)

JPO0/6905

10/089192 PCT/JPC0/06905

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

08.11.00

REC'D 03 JAN 2001

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1999年10月 4日

出願番号

Application Number:

平成11年特許願第282969号

出願人

Applicant(s):

浜松ホトニクス株式会社

4

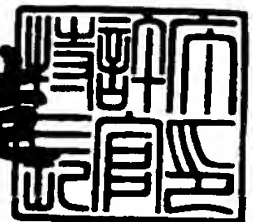
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年12月15日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3103448

【書類名】 特許願
 【整理番号】 HP99-0317
 【提出日】 平成11年10月 4日
 【あて先】 特許庁長官殿
 【国際特許分類】 H04N 5/335
 【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス
 株式会社内

【氏名】 豊田 晴義

【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス
 株式会社内

【氏名】 中村 和浩

【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス
 株式会社内

【氏名】 水野 誠一郎

【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス
 株式会社内

【氏名】 山川 博雄

【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス
 株式会社内

【氏名】 向坂 直久

【特許出願人】

【識別番号】 000236436

【氏名又は名称】 浜松ホトニクス株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100089978

【弁理士】

【氏名又は名称】 塩田 辰也

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 高速画像処理カメラシステム

【特許請求の範囲】

【請求項 1】 複数の受光素子が 2 次元状に配列されて形成された少なくとも一つの受光素子アレイと、

前記受光素子アレイの所定のブロック毎に対応して設けられ、対応するブロック中の受光素子から順次読み出された出力信号をアナログ・デジタル変換する A/D 変換器を複数有する A/D 変換器アレイと、

前記 A/D 変換器アレイから転送された前記受光素子の出力信号に相当するデジタル信号について所定の並列演算を行う複数の演算素子からなる演算素子アレイと、

前記 A/D 変換器アレイの出力信号と前記演算素子アレイの出力信号とを合成して所望のフレームレートの画像信号に変換して出力する信号変換器と、

前記信号変換器の画像信号変換を制御する信号変換制御部と、

前記各構成要素を制御する制御回路と、

を備えていることを特徴とする高速画像処理カメラシステム。

【請求項 2】 前記 A/D 変換器アレイの各 A/D 変換器は、前記受光素子アレイの受光素子の各行又は各列に対応して一つずつ設けられていることを特徴とする請求項 1 記載の高速画像処理カメラシステム。

【請求項 3】 前記演算素子アレイの各演算素子は、前記受光素子アレイのそれぞれに 1 対 1 に対応して設けられていることを特徴とする請求項 1 又は 2 に記載の高速画像処理カメラシステム。

【請求項 4】 前記信号変換器の信号入力側に前記 A/D 変換器アレイの出力信号及び前記演算素子アレイの出力信号を少なくとも数フレーム分蓄積記憶するバッファメモリをさらに備えていることを特徴とする請求項 1～3 のいずれかに記載の高速画像処理カメラシステム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像処理機能を備えた高速カメラシステムに関する。

【0002】

【従来の技術】

F Aシステム等においてロボットを高速で動作させるためには、高速の画像処理が必要とされる。例えば、視覚センサとアクチュエータの間でフィードバックループを形成するロボットの場合、アクチュエータはミリ秒単位で制御可能であるため、本来はこれに対応した画像処理速度が必要になる。ところが、現状の視覚センサでは画像処理速度がビデオフレームレートに限られているため、この画像処理速度に合わせた低速動作しかできず、ロボットの性能を十分に活かしきれていないなどの問題があった。また、視覚センサを用いた検査システムにおいてもビデオフレームレートの制限から精度・速度向上には限界があった。

【0003】

一方、高速CCDカメラの中には1ミリ秒程度で画像を撮像できるものもあるが、これらは撮像した画像をいったんメモリに貯えて、後から読み出して処理を行う機構になっているため、画像解析などの用途には使えるが、実時間性はほとんどなく、ロボット制御やオンライン検査などの用途には適用できなかった。

【0004】

このような問題を解決するため、画像の取込部と処理部を一体として取り扱う視覚センサの研究が進んでおり、マサチューセッツ工科大学、カリフォルニア工科大学、三菱電機などの研究が知られている。しかし、これらは主として集積化の容易なアナログの固定回路を用いており、出力信号の後処理が必要であったり、アナログ信号特有の問題であるS/N確保やノイズ対策、画像処理の内容が特定用途に限定されていて汎用性がない、などの問題点があった。

【0005】

これらに対して汎用的な高速画像処理を行うことができる視覚センサとしては、特公平7-62866号公報に開示された技術（以下、従来技術1と呼ぶ）が知られている。さらに、集積化を進めるために特開平10-145680号公報に開示されているように、転送ラインを列毎に最適化した技術（以下、従来技術2と呼ぶ）も提案されている。こうした視覚センサでは、演算素子と受光素子と

を1対1に対応させて完全並列演算により高速化を実現している。また、受光素子の1列ごとに1つの演算素子に対応させて部分並列演算により高解像度センサを実現する技術が国際公開WO95/24793号公報で開示されている（以下、従来技術3と呼ぶ）。こうした視覚センサを生産ラインにおける検査装置に利用することで、検査時間の大幅な短縮が可能となる。

【0006】

【発明が解決しようとする課題】

しかし、実際の使用に当たっては、こうした画像処理と同時に、処理対象の画像を人間が目視によって確認する必要性が生じる場合が多い。例えば、ベルトコンベア上の製品検査をする場合においては、最終チェックを人間の目に任せている場合が多いため、人間が目視できる表示装置に出力する必要がある。また、調整時や設定時においても、撮像位置照明状態、ピント合せ、レンズ系の汚れ、などを目視により確認することは検査状況を把握するためには不可欠である。また、検査方法のアルゴリズムを確定する際にも、しきい値レベルの設定やマッチングポイントの設定などにおいて実画像を見ながら、処理の途中経過を画像としてモニターすれば、処理アルゴリズムの評価が効率良く行なえる。

【0007】

しかしながら、従来技術1～3の装置では、演算を行なった結果を特徴量（対象物の重心や検査結果）または制御信号（例えばモータ制御信号）の形でしか装置外部に出力しておらず、撮影した画像を効率よく外部の装置に出力する機能を有していない。仮に、外部の装置に出力したとしても、高速カメラからの画像のフレームレートは極端に早く、通常のテレビモニターでは対応できず、専用の表示装置が必要となり、システムが高価になる。さらに、高速カメラからの画像をそのまま表示できたとしても、人間の目の応答速度に限界があるため（ほぼ30ミリ秒）、必要な画像内容を人間が目視によって判断することはできない。

【0008】

また、特開平10-21407号公報には、こうした高速画像処理装置の画像情報と従来の画像処理装置からの画像情報をオーバーレイ表示することで、高速に動く物体を解像度良くモニターする装置が開示されている（以下、従来技術4

と呼ぶ)。しかしながら、この従来技術4においては、出力される画像のフレームレートが従来とほぼ同じビデオレートに制限されてしまうため、高速に動いている物体を観測する場合において、必要な情報を取り出すことが難しい。

【0009】

例えば、自動工作機械におけるプレス的一瞬间やドリルの貫通する瞬間、部品を挿入する瞬間やゴルフや野球におけるボールとクラブ（バット）の当たる瞬間など、所定のタイミングの映像が重要な意味を有する場合に、こうした適切なタイミングの映像を目視により判断できるよう表示させることは困難であった。

【0010】

そこで、本発明は、高速での画像演算を行うとともに、特に重要なタイミングにおける画像をモニター可能な高速画像処理カメラを提供することを課題としている。

【0011】

【課題を解決するための手段】

上記課題を達成するため、本発明に係る高速画像処理カメラシステムは、（1）複数の受光素子が2次元状に配列されて形成された少なくとも一つの受光素子アレイと、（2）この受光素子アレイの所定のブロック毎に対応して設けられ、対応するブロック中の受光素子から順次読み出された出力信号をアナログ・デジタル変換するA/D変換器を複数有するA/D変換器アレイと、（3）このA/D変換器アレイから転送された受光素子の出力信号に相当するデジタル信号について所定の並列演算を行う複数の演算素子からなる演算素子アレイと、（4）A/D変換器アレイの出力信号と演算素子アレイの出力信号とを合成して所望のフレームレートの画像信号に変換して出力する信号変換器と、（5）信号変換器の画像信号変換を制御する信号変換制御部と、（6）各構成要素を制御する制御回路と、を備えていることを特徴とする。

【0012】

本発明に係る高速画像処理カメラシステムによれば、複数配置された演算素子によって並列演算処理を行うことでリアルタイムでの高速画像処理が可能となる。そして、演算素子アレイとA/D変換器アレイの出力信号を合成して画像表示

を行うモニターに対応した低いフレームレートの画像信号に変換して出力する信号変換器を備えているので、受光素子アレイで得られた画像（生画像）の中から任意の画像を抽出して、画像処理結果と合わせて表示することができる。この表示は、生画像と処理画像を並べて表示しても生画像と処理画像を上下あるいは左右に並べて表示してもよい。

【0013】

A/D変換器アレイの各A/D変換器は、受光素子アレイの受光素子の各行又は各列に対応して一つずつ設けられていることが好ましい。このようにすると、演算素子への転送が容易であり、回路設計がしやすくなる。

【0014】

演算素子アレイの各演算素子は、受光素子アレイのそれぞれに1対1に対応して設けられていてもよい。このようにすると、画素単位での演算処理を同時に一度の演算で行うことができ、画像処理の高速化が図れる。

【0015】

信号変換器の信号入力側にA/D変換器アレイの出力信号及び演算素子アレイの出力信号を少なくとも数フレーム分蓄積記憶するバッファメモリをさらに備えていてもよい。このようにすれば、特定のタイミングにおける連続画像等の複数の画像を抽出して表示させることができて好ましい。

【0016】

【発明の実施の形態】

以下、添付図面を参照して本発明の好適な実施の形態について詳細に説明する。説明の理解を容易にするため、各図面において同一の構成要素に対しては可能な限り同一の参照番号を附し、重複する説明は省略する。

【0017】

まず、図1を参照して本発明に係る高速画像処理カメラシステム全体の構成を簡単に説明する。図1は、本発明に係る高速画像処理カメラシステムの第一の実施形態のブロック図である。本実施形態のカメラシステムは、N1個×N2個の2次元状に配置された受光素子120からなる受光素子アレイ11と、受光素子アレイ11の1列ごとに対応して受光素子から出力された電荷を電圧信号に変換

するN2個のチャージアンプ221からなる並列アンプ12と、チャージアンプからの出力信号をA/D変換するN2個のA/D変換器210からなるA/D変換器アレイ13と、n個の処理回路400からなる演算素子アレイ14と、回路全体に命令信号等を送って制御する制御回路15と、制御回路15からの信号を各回路に送るインストラクション/コマンドバス16と、A/D変換器アレイ13と、演算素子アレイ14から送られてきたデータ信号を表示画像信号に変換する信号変換器17と、変換した表示画像信号により画像表示を行うモニタ18および信号変換制御部19から構成されている。モニタ18は、例えば、テレビモニターであり、その画像を利用して目視検査を行うものである。あるいは、モニタ18に替えて、信号変換器17の出力信号をコンピュータに直接入力してもよい。この場合は、さらに従来の画像処理技術による画像処理を行うことができる。

【0018】

図2は、装置の構成例を示したものである。受光素子アレイ11と演算素子アレイ14、制御回路15などの半導体チップを1つの基板の上にボンディングした図である。チップを直接基板にボンディングするため高集積化が可能であり、また、それぞれの装置の特性に合わせた加工工程を採用できるため、安定した生産が可能となる。将来的にはプロセス技術の向上により1チップ上に全ての機能を集積することも可能である。

【0019】

続いて、各回路の内部構成について説明する。図3は、画像入力部の詳細構成を示している。画像入力部は、光を検出する受光部100（図1に示す受光素子アレイ11に相当）、受光部100からの出力信号を処理する信号処理部200（図1に示す並列アンプ12及びA/D変換器アレイ13に相当）、受光部100及び信号処理部200に動作タイミングの指示信号を通知するタイミング制御部300（図1に示す制御回路15の一部に相当）を備えている。

【0020】

最初に、図3により、図1の受光素子アレイ11に相当する受光部100の構成を説明する。受光素子120は、入力した光強度に応じて電荷を発生する光電

変換素子 130 と、光電変換素子 130 の信号出力端子に接続され、垂直走査信号 V_i ($i = 1 \sim N1$) に応じて光電変換素子 130 に蓄積された電荷を出力するスイッチ素子 140 を 1 組として構成されている。この受光素子 120 が第 1 の方向（以下垂直方向と呼ぶ）に沿って $N1$ 個配置され、各受光素子 120 のスイッチ素子 140 が電氣的に接続されて垂直受光部 110 を構成している。そして、この垂直受光部 110 を垂直方向に直交する水平方向に沿って $N2$ 個配列することにより受光部 100 が構成されている。

【0021】

次に、同じく図 3 により、図 1 では並列アンプ 12 及び A/D 変換器アレイ 13 に相当する信号処理部 200 の構成を説明する。信号処理部 200 は、対応する垂直受光部 110_j ($j = 1 \sim N2$) から転送されてきた電荷を個別に取り出して、処理し、この電荷強度に対応するデジタル信号を出力する A/D 変換器 210_j を $N2$ 個配置して構成されている。A/D 変換器 210_j は、チャージアンプ 221_j を含む積分回路 220_j と比較回路 230_j と容量制御機構 240_j の 3 つの回路から構成される。本実施形態では、チャージアンプ 221 を A/D 変換器 221 に含む回路構成になっている。

【0022】

このうち、積分回路 220_j は、垂直受光部 110_j からの出力信号を入力として、この入力信号の電荷を増幅するチャージアンプ 221_j と、チャージアンプ 221_j の入力端子に一方の端が接続され、出力端子に他方の端が接続された可変容量部 222_j と、チャージアンプ 221_j の入力端子に一方の端が接続され、出力端子に他方の端が接続されて、リセット信号 R に応じて ON、OFF 状態となり、積分回路 220_j の積分、非積分動作を切り替えるスイッチ素子 223_j からなる。

【0023】

ここで、図 4 は、この積分回路 220 の詳細構成図である。本図は、4 ビットつまり 16 階調の分解能を持つ A/D 変換機能を備える積分回路の例であり、以下、この回路構成により説明する。可変容量部 222 は、チャージアンプ 221 の垂直受光部からの出力信号の入力端子に一方の端子が接続された容量素子 C1

～C₄と、容量素子C₁～C₄の他方の端子とチャージアンプ221の出力端子の間に接続され、容量指示信号C₁₁～C₁₄に応じて開閉するスイッチ素子SW11～SW14と、容量素子C₁～C₄とスイッチ素子SW11～SW14の間に一方の端子が接続され、他方の端子がGNDレベルと接続されて、容量指示信号C₂₁～C₂₄に応じて開閉するスイッチ素子SW21～SW24により構成されている。なお、容量素子C₁～C₄の電気容量C₁～C₄は、

$$C_1 = 2C_2 = 4C_3 = 8C_4$$

$$C_0 = C_1 + C_2 + C_3 + C_4$$

の関係を満たす。ここで、C₀は積分回路220で必要とする最大電気容量であり、受光素子130（図3参照）の飽和電荷量をQ₀、基準電圧をV_{REF}とすると

$$C_0 = Q_0 / V_{REF}$$

の関係を満たす。

【0024】

再び、図3に戻り、A/D変換器210_jの積分回路220_j以外の回路を説明する。比較回路230_jは、積分回路220_jから出力された積分信号V_Sの値を基準値V_{REF}と比較して、比較結果信号V_Cを出力する。容量制御機構240_jは、比較結果信号V_Cの値から積分回路220_j内の可変容量部222_jに通知する容量指示信号Cを出力すると共に、容量指示信号Cに相当するデジタル信号D1を出力する。

【0025】

続いて、図3に示すタイミング制御部300の構成を説明する。全回路のクロック制御を行う基本タイミングを発生する基本タイミング部310と、基本タイミング部310から通知された垂直走査指示に従って、垂直走査信号V_iを発生する垂直シフトレジスタ320と、リセット指示信号Rを発生する制御信号部340により構成されている。

【0026】

演算素子アレイ14は、複数の処理回路400をカスケードあるいはパラレル接続することにより、A/D変換器アレイ13から列毎に最上位ビット(MSB)よ

り順次転送、出力されてくるデジタル信号に対して所定の画像処理を行うものである。ここでは、ハードウェア的に演算処理を行う処理回路の構成を具体的に説明する。図5～図7は、代表的な3つの画像処理演算を行う処理回路400内の構成を示す図である。

【0027】

まず図5は二値化処理回路を示したものであり、ここでは、受光素子アレイ11の各列毎に1つずつのビット比較器401が配置されている。各比較器401のもう一つの入力端はインストラクション/コマンドバス16を介して制御回路15と接続され、比較対象のデータ信号が入力される。

【0028】

図6は、画像処理において基本的な演算の一つである重心演算を行うための演算回路を示している。この回路は、まず、受光素子アレイ11の各列毎、すなわち、A/D変換器210のそれぞれに対応して加算器410とこれに接続された乗算器411を有し、乗算器411のもう一つの入力端には、列位置データ供給回路412が接続されている。乗算器411のそれぞれの出力端は、共通の加算器413の対応するN2個の入力端に接続され、加算器413の出力端は割算器414の被除数入力端に接続されている。

【0029】

一方、A/D変換器110のそれぞれの出力端は、加算器415のN2個ある入力端のうちの対応する入力端に接続されている。この加算器415の出力端は、加算器418の入力端と、乗算器416の入力端に接続されている。乗算器416のもう一つの入力端には、行位置データ供給回路417が接続されている。乗算器416の出力端は加算器419の入力端に接続されており、この加算器419の出力端は割算器420の被除数入力端に接続されている。

【0030】

そして、割算器414、420のそれぞれの除数入力端には加算器418の出力端が接続されている。

【0031】

図7は、近傍画素の画素データを用いて各種の画像処理演算を行うための3×

3 マスク演算回路を示している。この回路は、受光素子アレイ 11 の各列ごとに 1 つずつの積和演算器 430 を有し、積和演算器 430 は当該列の各画素ラインとその上下の各列の画素ラインに接続されているデータ転送ライン 440_{j-1} 、 440_j 、 440_{j+1} に接続されている。そして、積和演算器 430 内には、9 個の乗算器 $431_1 \sim 431_9$ と 1 個の加算器 432 が配置され、各乗算器 431 の出力が加算器 432 の対応する入力端に接続されている。乗算器 $431_1 \sim 431_9$ は 3 個ずつがそれぞれのデータ転送ライン 440_{j-1} 、 440_j 、 440_{j+1} に接続され、データの転送に伴って所定の受光素子 120 とそれを囲む 8 つの受光素子の画像データがそれぞれの入力端に入力される構成になっている。乗算器 $431_1 \sim 431_9$ の他の入力端は、マスクデータ供給回路 450 に接続されており、演算内容を規定するマスク情報が送られる。

【0032】

近年、こうした画像演算処理を行うハードウェアを簡易に開発実装できるデバイスとして FPG A (Field Programable Gate Array) などが実用化されており、演算対象に応じた処理をハードウェア化する作業を効率的に行うことが可能となっている。さらに、HDL (ハードウェア記述言語) を用いることでソフトウェア的な処理内容の記述で回路設計が可能となっているため、所望の画像処理を行うハードウェアを容易に作成することができる。こうして作成したハードウェアによって画像処理を行うことで汎用的な回路によりソフトウェアで画像処理を行う場合に比べて高速での演算が可能となる。

【0033】

図 8 は、信号変換器 17 の詳細構成を示すブロック図である。信号変換器 17 内には、一列分 ($N1$ 画素分) の画像データを所定の画面数分蓄積するデータバッファ 171 が $N2$ 個配列され、これらのデータバッファ 171 には、デジタル画像信号をアナログ信号に変換する D/A 変換器 172 とモニタ 18 (又は後段の汎用画像処理装置=コンピュータ) のフレームレートに合わせて適切な同期信号を付加することにより画像信号を生成する同期信号混合器 173 が接続されて構成される。

【0034】

次に、本実施形態の動作を説明する。図9は、処理の概要を説明する図である。ここでは、画像演算として二値化処理、重心検出、エッジ抽出を行い、処理結果を元の画像と重ね合わせて表示する場合を例に説明する。

【0035】

まず、リセット信号Rを有為に設定し、図4に示す可変容量部222のSW11～SW14を全て「ON」、SW21～SW24を全て「OFF」状態にする。これにより、チャージアンプ221の入力端子と出力端子間の容量値を C_0 に設定する。それと同時に、図3に示す全てのスイッチ素子140を「OFF」状態とし、垂直走査信号Viをいずれの受光素子120も選択しない状態に設定する。この状態から、リセット指示信号Rを非有為に設定し、各積分回路220での積分動作を開始させる。

【0036】

積分動作を開始させると、図3に示すN2個の各垂直受光部110_jにある第1番目の受光素子120_{1,j}のスイッチ素子140のみを「ON」とする垂直走査信号V₁が出力される。スイッチ素子が「ON」になると、それまでの受光によって光電変換素子130に蓄積された電荷Q₁は、電流信号として受光部100から出力される。つまり、図9に示される対象物900を撮像した生画像901に該当する信号を読み出すことができる。電荷Q₁は容量値C₀に設定された可変容量部222に流入する。

【0037】

次に、図4により積分回路220内部の動作を説明する。容量制御機構240（図3参照）は、SW12～SW14を開放した後、SW22～24を閉じる。この結果、積分信号V_Sは、

$$V_S = Q / C_1$$

で示す電圧値として出力される。積分信号V_Sは、比較回路230に入力して、基準電圧値V_{REF}と比較される。ここで、V_SとV_{REF}の差が、分解能の範囲以下、すなわち±(C₄/2)以下の時は、一致したものとみなし、更なる容量制御は行わず、積分動作を終了する。分解能の範囲で一致しないときは、更に容量制御を行い、積分動作を続ける。

【0038】

例えば、 $V_S > V_{REF}$ であれば、容量制御機構240は、更に、SW22を開放した後に、SW12を閉じる。この結果、積分信号 V_S は、

$$V_S = Q / (C_1 + C_2)$$

で示す電圧値となる。この積分信号 V_S は、後続の比較回路230（同）に入力して、基準電圧値 V_{REF} と比較される。

【0039】

また、 $V_S < V_{REF}$ であれば、容量制御機構240は、更に、SW11及びSW22を開放した後に、SW12及びSW21を閉じる。この結果、積分信号 V_S は、

$$V_S = Q / C_2$$

で示す電圧値となる。この積分信号 V_S は、後続の比較回路230に送出され、基準電圧値 V_{REF} と比較される。

【0040】

以後、同様にして、積分回路220→比較回路230→容量制御機構240→積分回路220のフィードバックループによって、積分信号 V_S が基準電圧値 V_{REF} と分解能の範囲で一致するまで、比較及び容量設定（SW11～SW14及びSW21～SW24のON/OFF制御）を順次繰り返す。積分動作が終了した時点のSW11～SW14のON/OFF状態を示す容量指示信号 $C_{11} \sim C_{14}$ の値は、電荷 Q_1 の値に対応したデジタル信号であり、最上位ビット（MSB）の値が C_{11} 、最下位ビット（LSB）の値が C_{14} である。こうしてA/D変換が行われ、これらの値をデジタル信号D1として、演算素子アレイ14に出力する。以上述べたように、この装置では、デジタル信号D1の各ビット値は、MSB側からLSB側へ1ビットずつ順に定まる。

【0041】

第1番目の受光素子 $120_{1,j}$ の光電出力に相当するデジタル信号の送出が終了すると、リセット信号Rが有為とされ、再び、非有為にして、可変容量部222_jの容量値を初期化した後に、各垂直受光部110_jの第2番目の受光素子 $120_{2,j}$ のスイッチ素子140のみを「ON」とする垂直走査信号 V_2 を出力し、上

述と同様の動作により、第 2 番目の受光素子 $120_{2,j}$ の光電出力を読み出し、これに相当するデジタル信号を送出する。以下、垂直走査信号を切り替えて、全受光素子 120 の光電出力を読み出し、相当するデジタル信号を演算素子アレイ 14 に出力する。

【0042】

次に、画像演算素子 400 の動作を図 1 および図 5 ～ 図 9 により説明する。まず、図 5 に示される二値化処理回路により二値化結果を出力する。回路に入力される画像データ 901 は前述したように MSB より出力されるデジタル信号であるため、制御回路 15 から転送する比較すべき信号列も MSB から順次出力する。そして、コンパレータ 401 により順次比較を行い、画像信号が比較信号と一致又は大きいときにのみ 1 を出力し、小さいときは 0 を出力する。この結果、図 9 に示されるような生画像 901 の 2 値画像 902 が得られる。

【0043】

続いて、この 2 値化画像データをもとにして重心情報とエッジ抽出画像を得る。重心情報は図 6 に示される演算回路で計算される。

【0044】

ここで、画像データを $D(x, y)$ とすると、 x 方向、 y 方向の重心座標 (P_x, P_y) は以下の式により求められる。

【0045】

【数 1】

$$P_x = \frac{\sum_{x=1}^{N_1} \sum_{y=1}^{N_2} x \times D(x, y)}{\sum_{x=1}^{N_1} \sum_{y=1}^{N_2} D(x, y)} \quad \dots(a)$$

$$P_y = \frac{\sum_{x=1}^{N_1} \sum_{y=1}^{N_2} y \times D(x, y)}{\sum_{x=1}^{N_1} \sum_{y=1}^{N_2} D(x, y)} \quad \dots(b)$$

【0046】

本演算回路では、(a) (b) 式に共通する分母とそれぞれの分子を並列的に演算する。具体的には、加算器 4 1 0 で 1 列内の画素データを加算した後、これと列位置データ供給回路 4 1 2 から送られた列位置情報 y とを乗算器 4 1 1 の各々で掛け合わせ、得られた結果を加算器 4 1 3 で全列分加算することで、(b) 式の分子の値が得られる。

【0047】

一方、同一行の各列の画像データは、加算器 4 1 5 で一斉に加算された後、さらにそれらを加算器 4 1 8 で前列加算することで (a) (b) 式のそれぞれの分母の値が得られる。一行分毎に加算された画像データの値は同様に乗算器 4 1 6 に送られ、行位置データ供給回路 4 1 2 から送られた行位置情報 x と掛け合わされた後に加算器 4 1 9 で全行分を加算することで、(a) 式の分子の値が得られる。

【0048】

割算器 4 1 4、4 2 0 でこうして得られた行位置あるいは列位置で重み付けした画像データの総和値を加算器 4 1 8 から出力された画像データの総和値で割ることにより、割算器 4 1 4 から P_y 、割算器 4 2 0 から P_x に相当する出力が得られる。こうして得られた重心座標は例えば、図 9 に示される画像 9 0 4 のように画像内に表示した円中の \times 印の交点として示すことができる。

【0049】

次にエッジ抽出処理について説明する。エッジ抽出は、図 7 に示される 3×3 積和演算器 4 3 0 によって行われる。この 3×3 積和演算器は、次式で示される画像処理演算を行う。

【0050】

【数 2】

$$\begin{aligned}
 D'(j,k) = & \text{mask}(0) \times D(j-1,k-1) + \text{mask}(1) \times D(j-1,k) + \text{mask}(2) \times D(j-1,k+1) \\
 & + \text{mask}(3) \times D(j,k-1) + \text{mask}(4) \times D(j,k) + \text{mask}(5) \times D(j,k+1) \\
 & + \text{mask}(6) \times D(j+1,k-1) + \text{mask}(7) \times D(j+1,k) + \text{mask}(8) \times D(j+1,k+1) \quad \dots(c)
 \end{aligned}$$

【0 0 5 1】

ここで、 $D(x, y)$ は入力画像データであり、 $D'(x, y)$ が出力画像データ、 mask はマスクデータである。エッジ抽出処理においては、 mask の値を以下のように設定してラプラシアン演算を行う。

【0 0 5 2】

【数 3】

$$\text{mask} = \{1, 1, 1, 1, -8, 1, 1, 1, 1\} \quad \dots(d)$$

【0 0 5 3】

元の画像データ $D(x, y)$ は、列並列に MSB より順次ビットシリアルでデータ転送ライン 440 を介して転送される。この際に、各乗算器 431 には、近傍 3×3 画素の画像データ $D(j \pm 1, k \pm 1)$ がそれぞれ入力される。一方、マスクデータ供給回路 450 から、式 (d) に示されるマスクデータが各乗算器 431 へと入力される。マスクデータと画像データの乗算結果は加算器 432 に送られて加算され、得られた演算結果、つまり、エッジ抽出結果が出力される。これが図 9 に示されるエッジ抽出画像 903 である。

【0 0 5 4】

以上の計算処理は列毎の並列演算を採用して、計算時間を短縮して高速化しているため、高速フレームレートで取得した画像をリアルタイムで処理できる。

【0 0 5 5】

次に、処理画像と画像データの重ね合わせについて図 8 ～ 図 10 を参照して説

明する。図 1 0 は、重ね合わせを説明するために示す画像データ信号のタイミングチャートである。生画像の画像データは、図 1 0 (a) に示されるように、1 列分の信号がビットシリアル信号として M S B より順次出力される。各画素のデータは 8 ビットで構成され、各々の画素データの間には、アンプや A / D のリセットのための無信号時間が存在する。そこで、図 1 0 (b) に示されるように画像処理結果を生画像の画素データ間のこの無信号時間部分に埋め込んで、生画像データ 8 ビット + 処理結果画像データ 2 ビット = 1 0 ビットのデータを生成する。後段の表示装置や演算装置の制約から出力画像データを 8 ビット長に維持する必要がある場合は、生画像の最下位ビットのかわりに処理結果を最下位あるいは最上位ビットに入れればよい。例えば、生画像の上位 6 ビットの前に、重心情報、エッジ抽出画像信号をそれぞれ 1 ビットずつ、この順序で挿入すると、図 9 に示されるような生画像のエッジを強調して重心位置が表示される重ね合わせ画像 9 0 5 が生成される。この重ね合わせは、図 8 に示されるデータバッファ 1 7 1 への信号の入力先を演算素子アレイ 1 4 からのラインとこれを回避する A / D 変換器アレイ 1 3 からのラインとの間で切り替えることで行うことができる。

【0 0 5 6】

こうして生成された重ね合わせ信号は、信号変換器 1 7 内で信号変換制御部 1 9 からの指示によりモニタ 1 8 で表示するのに適した画像信号に変換される。従来技術 4 の装置では、画像センサのフレームレートが 3 0 ミリ秒と制限されており、さらに図 1 1 に示されるように画像表示のタイミングに合わせて画像転送、処理演算を行う必要があるため、高速での画像処理演算は不可能であった。これに対して、本実施形態の装置では、画像転送、画像演算を高速で行い、任意のタイミングの映像をデータバッファ 1 7 1 に蓄積しておいて D / A 変換器 1 7 2、同期信号混合器 1 7 3 によりモニタ 1 8 側のフレームレートに合わせた映像信号を生成して出力することで、図 1 2 にタイミングチャートを示すように、所定のタイミングの映像を抽出して時間的に引き延ばして表示することが可能である。

【0 0 5 7】

例えば、図 1 3 (a) ~ (c) を参照して既にチップ 5 1、5 2 が実装されている基板 5 0 上にさらにチップ 5 3 を装置 5 4 を用いて実装する瞬間の画像を抽

出す例について説明する。図 13 (b) が所望のチップ 53 が実装される瞬間の画像であり、図 13 (a)、図 13 (c) はそれぞれその前後のタイミングで取得された画像である。

【0058】

このチップ 53 が実装される瞬間の画像を抽出するためには、入力画像の中から、特徴抽出演算によって対象画像であるチップ 53 を抽出し、その対象が基板の所定の位置に実装されるタイミングで画像を出力する。具体的には、まず、入力画像 $D(x, y)$ が画像演算素子 14 に転送され、重心およびエッジ抽出が行われる。この重心演算結果を用いることにより、ドリルの位置を高速（フレームレートの速度）に把握することが可能となり、所定のタイミングにおける画像データとして信号変換制御部 19 から信号変換器 17 に対して画像信号への変換を指示することによりこのタイミングの画像（図 13 (b) に示されるタイミングの画像）前後の映像をモニタ 18 に表示させることができる。

【0059】

たとえば、本機能を用いることで、「ドリルが加工対象に接触する瞬間」や「バットがボールにぶつかる瞬間」とその前後の、最も重要な情報を含む画像列を抽出してモニター画像出力することが可能となる。従来の画像処理装置の演算はほとんど同様な手法でハードウェア化可能であるため、高速対象物の画像処理を実現できる。

【0060】

さらに、式 (c) で用いるマスクデータを変更することで各種の演算を行うことが可能である。例えば、スムージングであれば、mask として {1, 1, 1, 1, 8, 1, 1, 1, 1} を、縦線検出であれば、mask として {-1, 0, 1, -1, 0, 1, -1, 0, 1} を、横線検出であれば、mask として {-1, -1, -1, 0, 0, 0, 1, 1, 1} をそれぞれ用いればよい。

【0061】

以上の説明では、生画像と処理画像を重ね合わせて表示する実施形態について説明してきたが、表示画面を 2 つに分けて、一方に生画像を他方に処理画像を同時に表示してもよい。例えば、生画像と処理画像とを左右に並べて同時表示する

場合は、図 8 に示されるデータバッファ 171 への信号転送の際に、表示画像のうち生画像が表示される画素に対応するバッファには A/D 変換器アレイ 13 からの信号を転送し、処理画像が表示される画素に対応するバッファには演算素子アレイ 14 からの信号が転送されるようにスイッチを切り替えればよい。

【0062】

また、以上の説明では、重心位置を二値化画像から求めたが、生画像から同様の計算式によって求めることで、演算量は大きくなるもののより高い精度で重心位置を求めることも可能である。

【0063】

本発明が目指しているのは、高速画像処理された結果から、所望のタイミングの画像を抽出して処理結果を実画像と合わせてモニターする機能を有する画像センサ装置である。処理速度の目安としては、FA ロボットの制御においては、対象物の移動速度とロボットのアクチュエータの速度（1～10 ミリ秒）から必要な処理速度が決まる。本実施形態では、この処理速度は、A/D 変換器 210 における A/D 変換処理速度によって決まるが、A/D 変換器からの出力のビット数は可変できるため、より高速演算が必要な場合には、ビット数を減らすことによって高速化が可能である。例えば、8 ビット変換に 10 μ 秒かかっているような場合、4 ビットにデータ長を削減することで、ほぼ 2 倍の変換速度が実現できることになる。

【0064】

ここでは、信号変換器に複数の画面分のデータバッファを有する例について説明してきたが、特定のタイミングの静止映像のみを取得すれば充分である場合には、データバッファを省略することでより簡易な装置構成とすることも可能である。

【0065】

また、上記のシステムにおいて、さらに高速なフレームレートで処理を行いたい場合には、A/D 変換器における階調を少なくすることで、1 画素あたりのデータ量を 8 ビット（256 値）から 1 ビット（2 値）まで可変とし、高速化が実現できる（8 ビットを 1 ビットにすることで 8 倍の高速化が可能となる）。具体

的には、図4に示されるA/Dコンバータにおいて、最上位ビットから順に比較演算を行い、希望のビット数まで変換を終了した時点で、リセットを行い、次の画素の変換に処理を移すことでそのままのハードによって、任意の階調でのA/D変換を行うことが可能となる。本システムでは、少ない接続配線で並列処理を行わせるため、ビットシリアル転送（1本の配線を用いてA/D変換器から出力される上位ビットから順に転送する）を利用しているので、ビット数の変更に対しても、有効なビット数分の演算を行うだけで容易に対応できる。

【0066】

また、高速なフレームレート処理を行いたい場合のもう1つの方法としては、解像度を落として情報量を少なくして演算を行う方法もある。これは、図1、図3の光検出器アレイの隣合う出力について、2つ以上の複数の画素を、同時にスイッチONして読み出すことにより実現できる。例えば128×128画素の画像を、64×128画素（横方向に2点）、32×128画素として読み出すことで、画像のデータ量を、それぞれ50%、25%に減少させることができ、演算速度は2倍、4倍となる。このように、複数のピクセルの電流和を取って、高速処理を実現する手段はビニングと呼ばれている。

【0067】

対象の処理目的に合わせて、この2つの機能を用いれば、通常の監視状態では、アナログ階調の少ない画像や、解像度の荒い画像を用いて、高速なフレームレートで対象を追従し、希望するタイミングに近づいたところで、多階調又は高解像度な画像を取得し、細かい検査を行う。といった適応的な画像処理を行うことが可能となる。

【0068】

また、これまで説明した実施例では、画像処理を行う並列演算装置として、列並列に演算装置を用意して行う列並列方式を用いて、説明を行った。こうした並列化により、画像データのように大規模な演算を必要とする処理を高速におこなうことが可能となる。並列演算の方式としては、上記の例のほかにも、受光素子アレイをいくつかのブロックに分割しブロック毎に1つ演算素子を用意するブロック並列型（図14）や、2次元受光素子アレイに1対1で用意された完全並列

型（図 1 5）なども、用途や集積度、演算速度に応じて選択できる。ブロック並列型は、領域毎にマッチングや重心などを効率的に求める特長を持ち、完全並列型では、高速性が最大の特長となる。いずれの方式も、列毎又はブロック毎に A / D 変換器 2 1 0 を用意して効率的に A / D 変換を行い、部分並列または完全並列とした処理回路 4 0 0 a、4 0 0 b において画像処理を高速に行うアーキテクチャは共通している。

【0 0 6 9】

【発明の効果】

以上説明したように本発明によれば、並列処理により高速で画像処理を行い、処理結果を元画像と重ね合わせて所望のタイミングでモニター出力することが可能であり、例えば、注目すべき画像のみを抽出して強調したモニタ表示が可能となる。

【0 0 7 0】

特に、信号変換器に複数の画面の画像情報を蓄積可能なデータバッファを設けることで、所望のタイミング付近の映像を時間的に引き延ばしてモニタ表示することも可能となる。

【図面の簡単な説明】

【図 1】

本発明に係る高速画像処理カメラシステムの第一の実施形態のブロック図である。

【図 2】

図 1 の実施形態を示す概略構成図である。

【図 3】

図 1 の実施形態の受光素子アレイ、並列アンプ及び A / D 変換器アレイの回路構成図である。

【図 4】

図 1 の実施形態の積分回路の詳細回路構成図である。

【図 5】

図 1 の実施形態の処理回路のうちの 1 回路のブロック図である。

【図 6】

図 1 の実施形態の処理回路のうちの別の回路のブロック図である。

【図 7】

図 1 の実施形態の処理回路のうちのさらに別の回路のブロック図である。

【図 8】

図 1 の実施形態の信号変換器の詳細構成を示すブロック図である。

【図 9】

図 1 の実施形態における演算処理の概要を説明する図である。

【図 1 0】

画像演算処理結果の信号と生画像の画像データのタイミングを示す図である。

【図 1 1】

従来技術における演算処理と画像表示のタイミングチャートである。

【図 1 2】

図 1 の実施形態における演算処理と画像表示のタイミングチャートである。

【図 1 3】

抽出する画像イメージを示す図である。

【図 1 4】

本発明に係る高速画像処理カメラシステムの第 2 の実施形態のブロック図である。

【図 1 5】

本発明に係る高速画像処理カメラシステムの第 3 の実施形態のブロック図である。

【符号の説明】

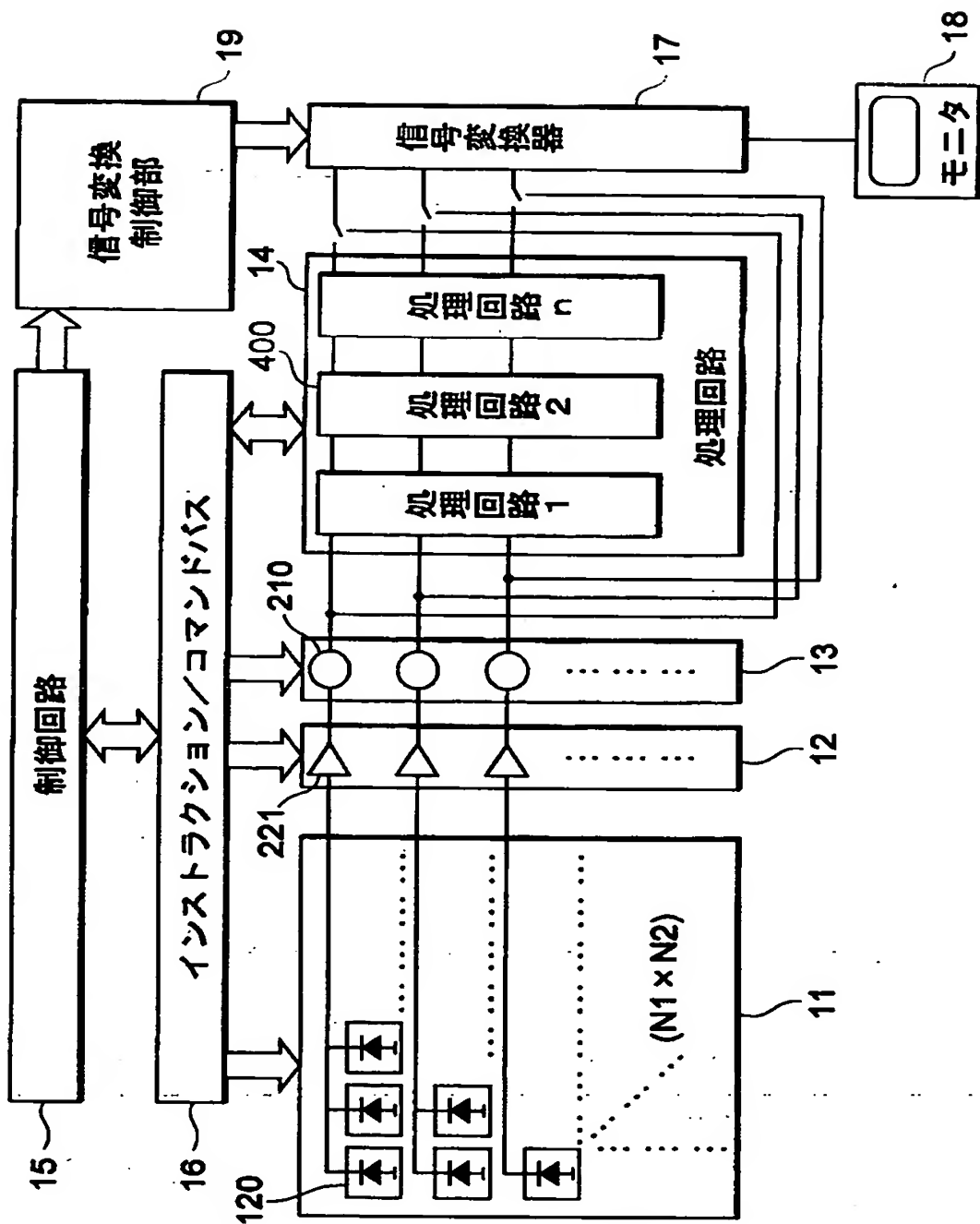
1 1 …受光素子アレイ、1 2 …アンプ、1 3 …A/D変換器アレイ、1 4 …演算素子アレイ、1 5 …制御回路、1 6 …インストラクション/コマンドバス、1 7 …信号変換器、1 8 …モニター、1 0 0 …受光部、1 1 0 …垂直受光部、1 2 0 …受光素子、1 3 0 …光電変換素子、1 4 0 …スイッチ素子、2 0 0 …信号処理部、2 1 0 …A/D変換器、2 2 0 …積分回路、2 2 1 …チャージアンプ、2 2 2 …可変容量部、2 2 3 …スイッチ素子、2 3 0 …比較回路、2 4 0 …容量制

御機構、300…タイミング制御部、310…基本タイミング部、320…垂直
シフトレジスタ、340…制御信号部、400…処理回路、C1～C4…容量素
子、SW11～SW14、SW21～SW24…スイッチ素子。

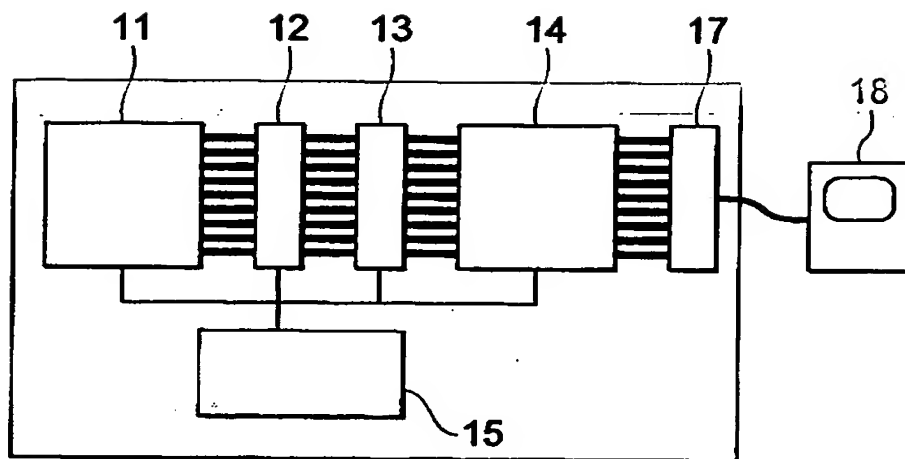
【書類名】

図面

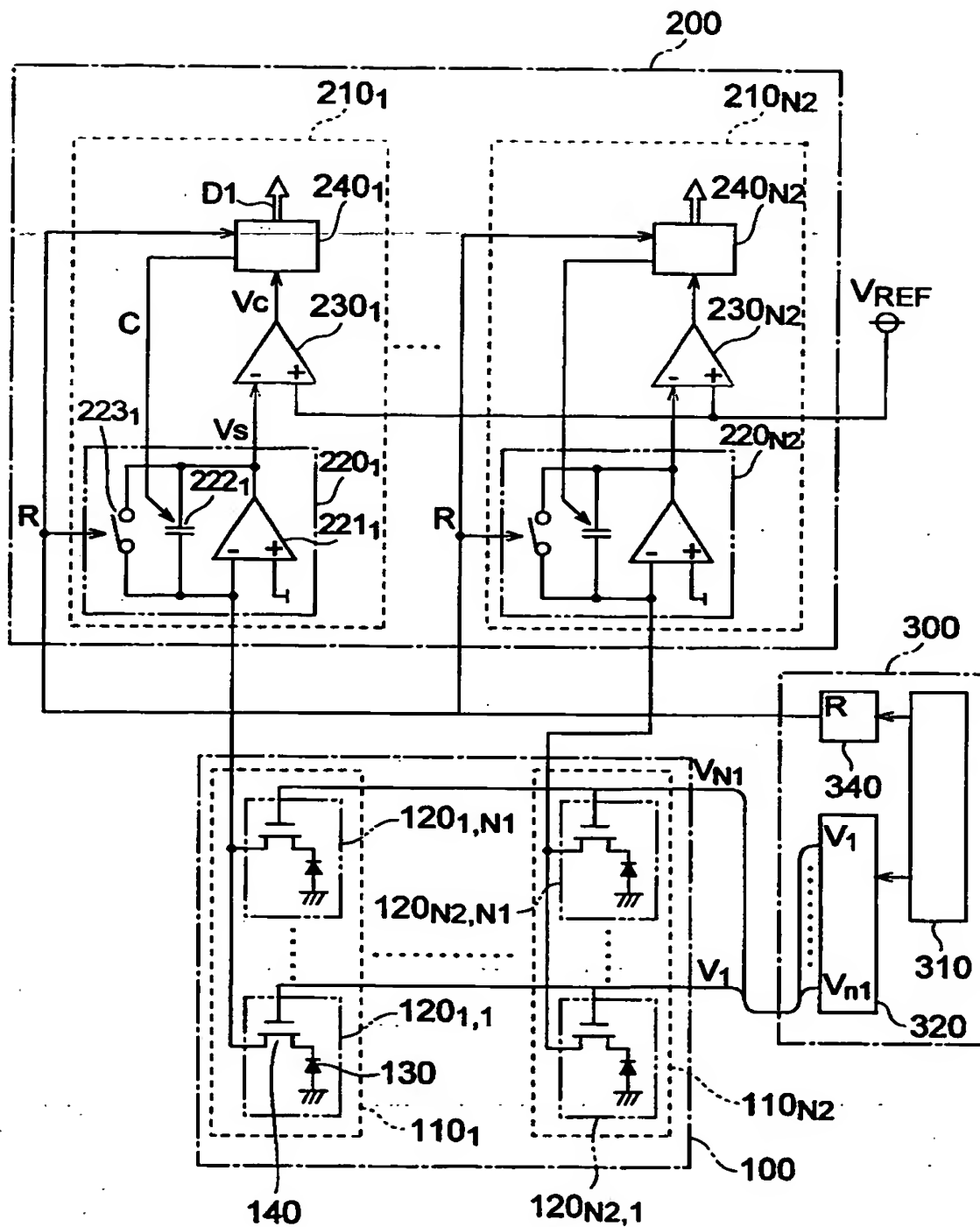
【図 1】



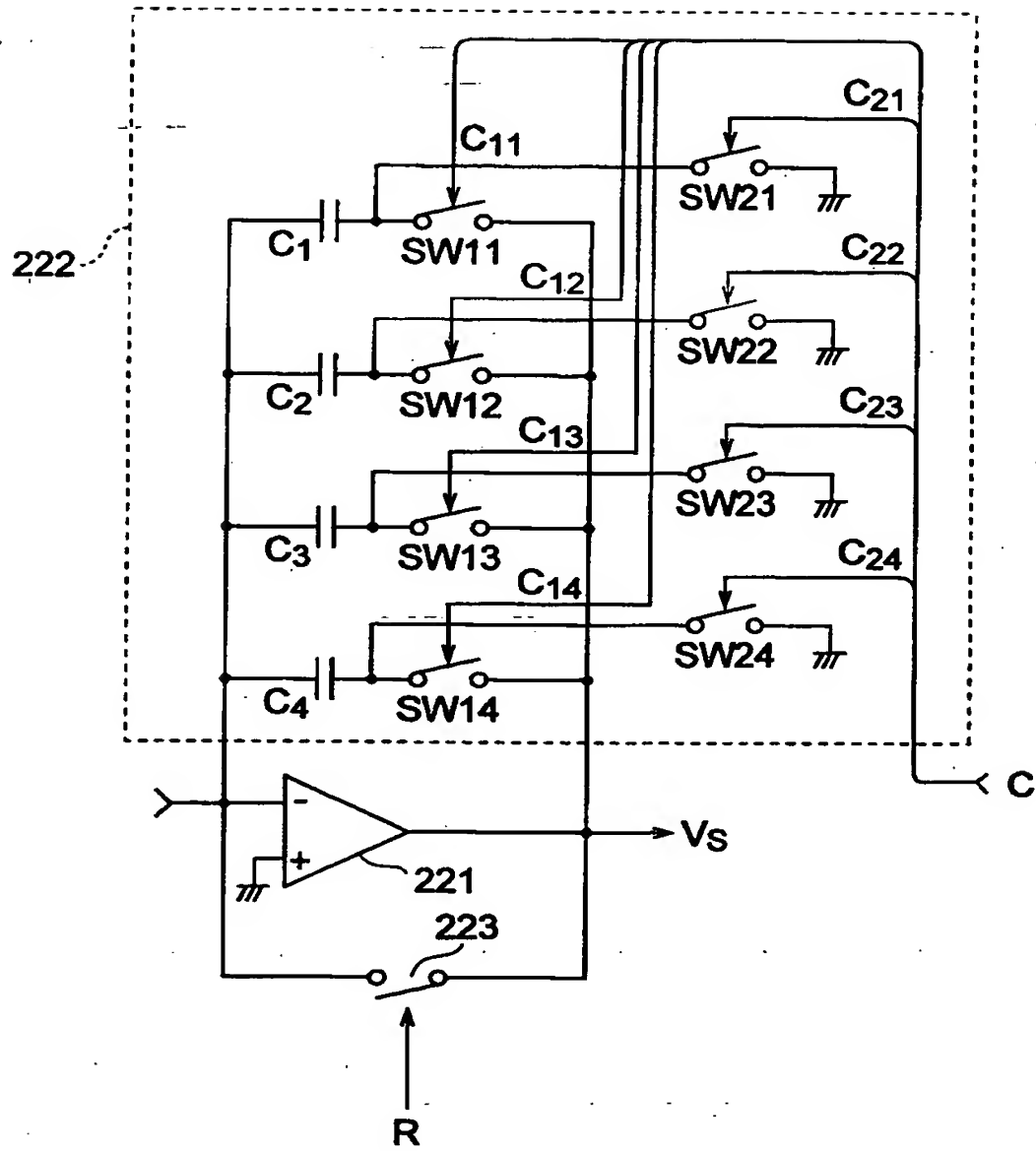
【図 2】



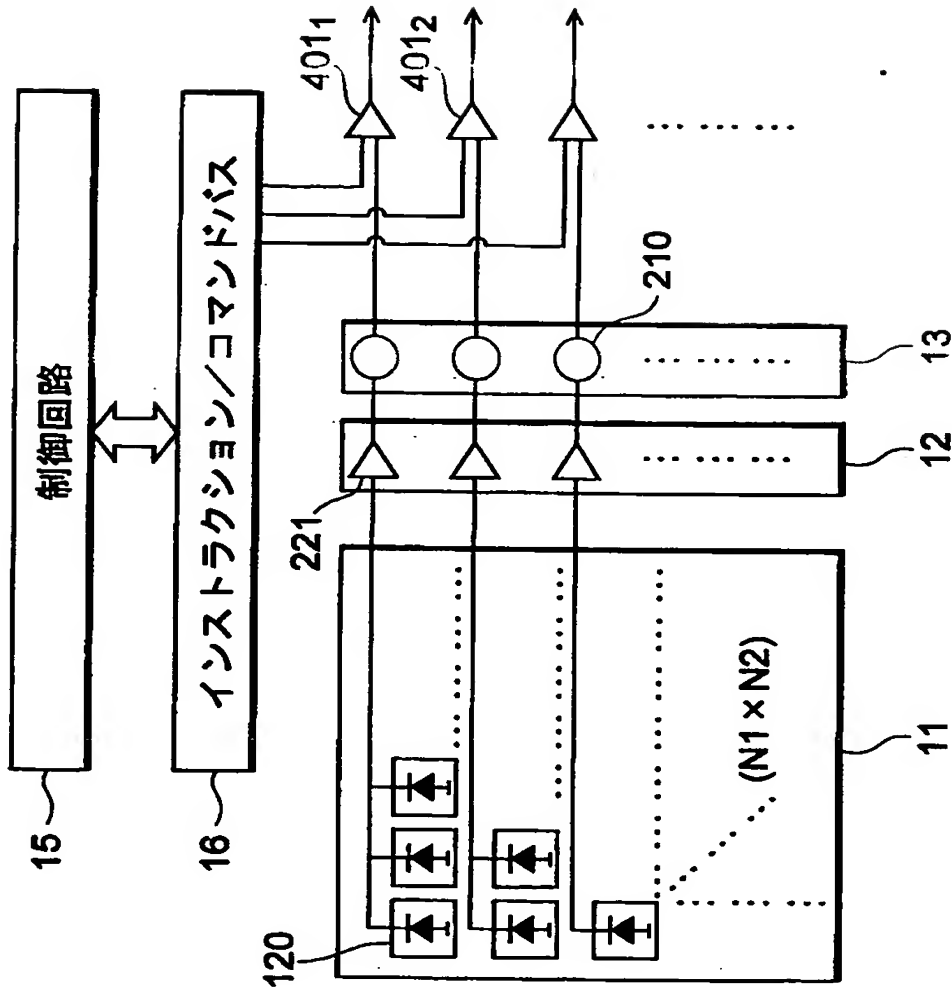
【図 3】



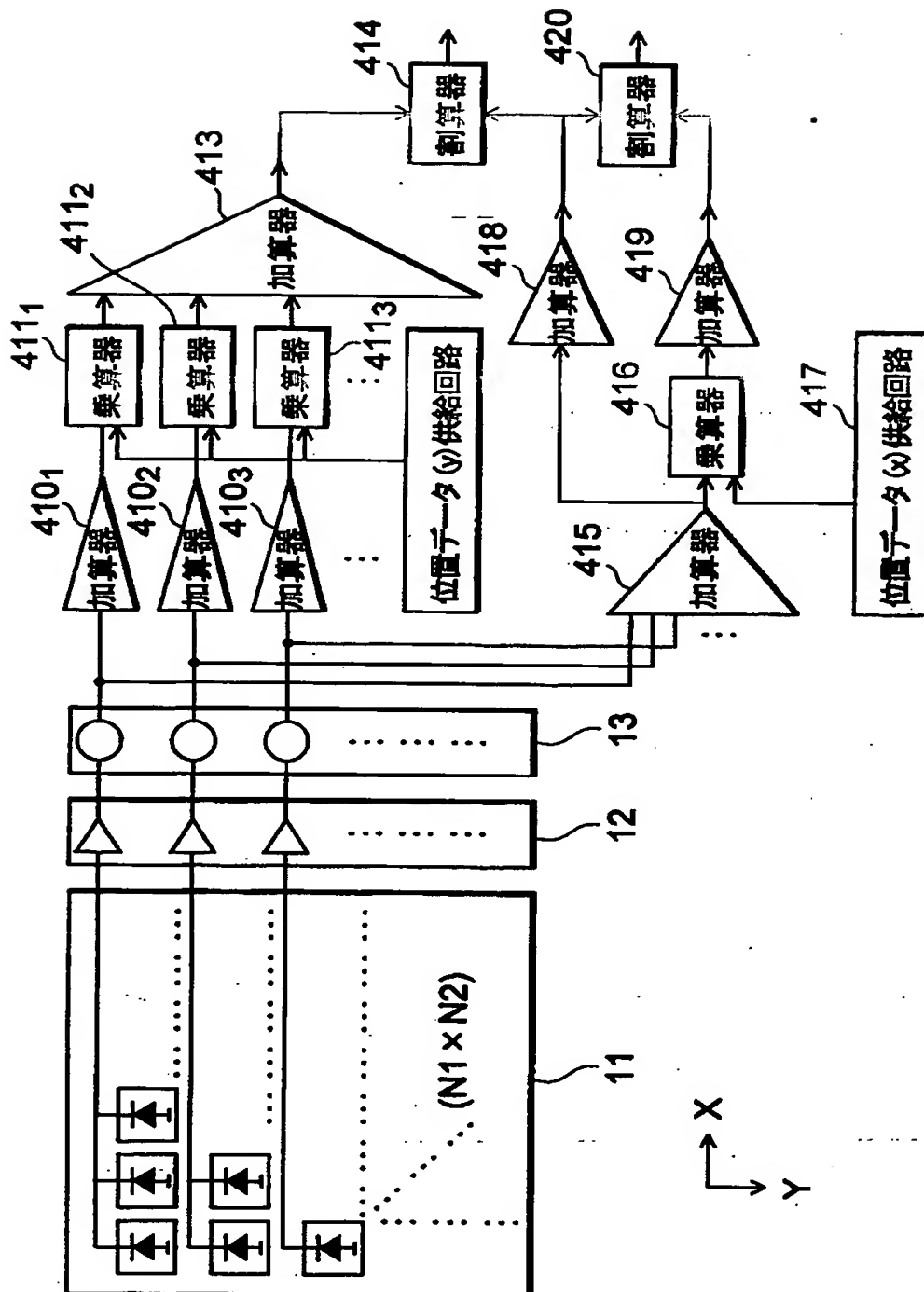
【図 4】



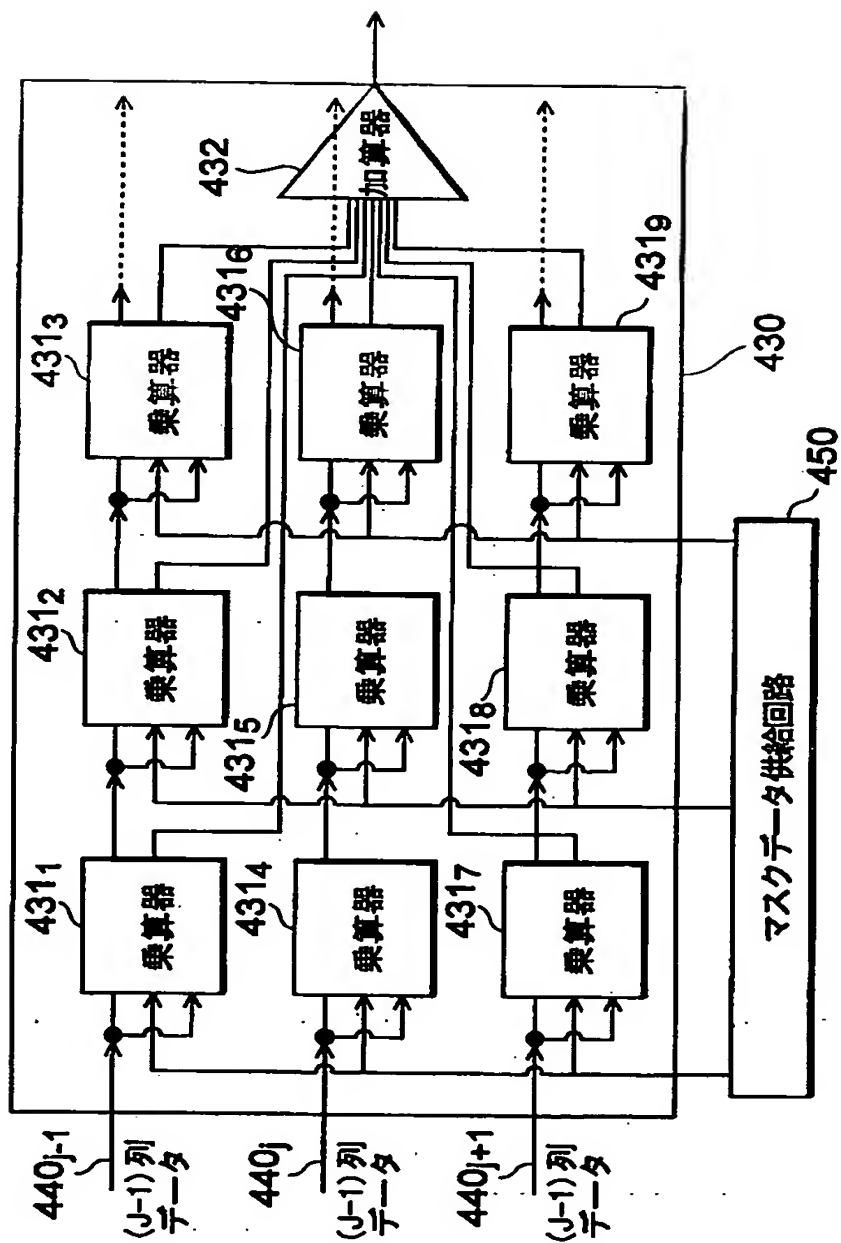
【図 5】



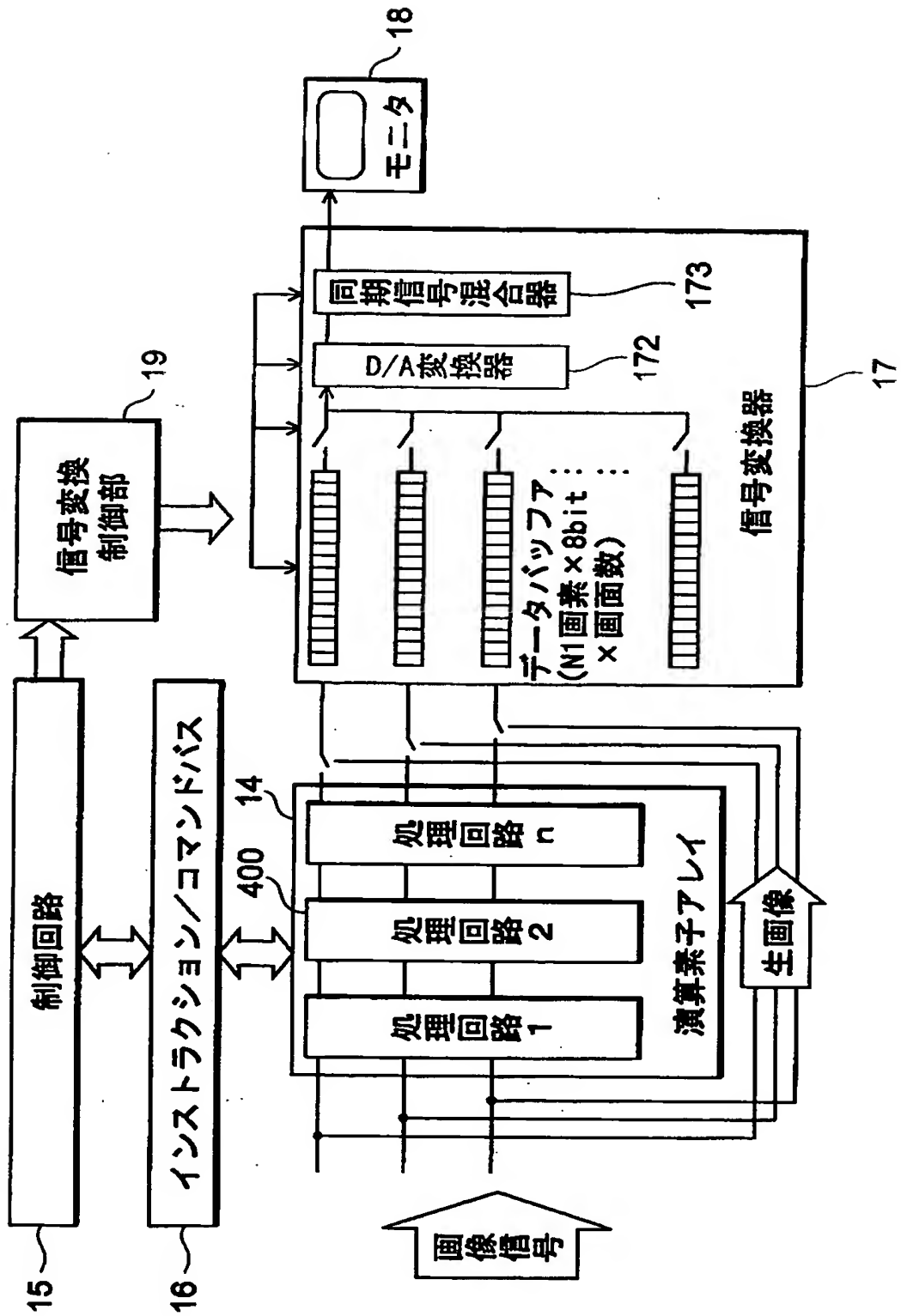
【図 6】



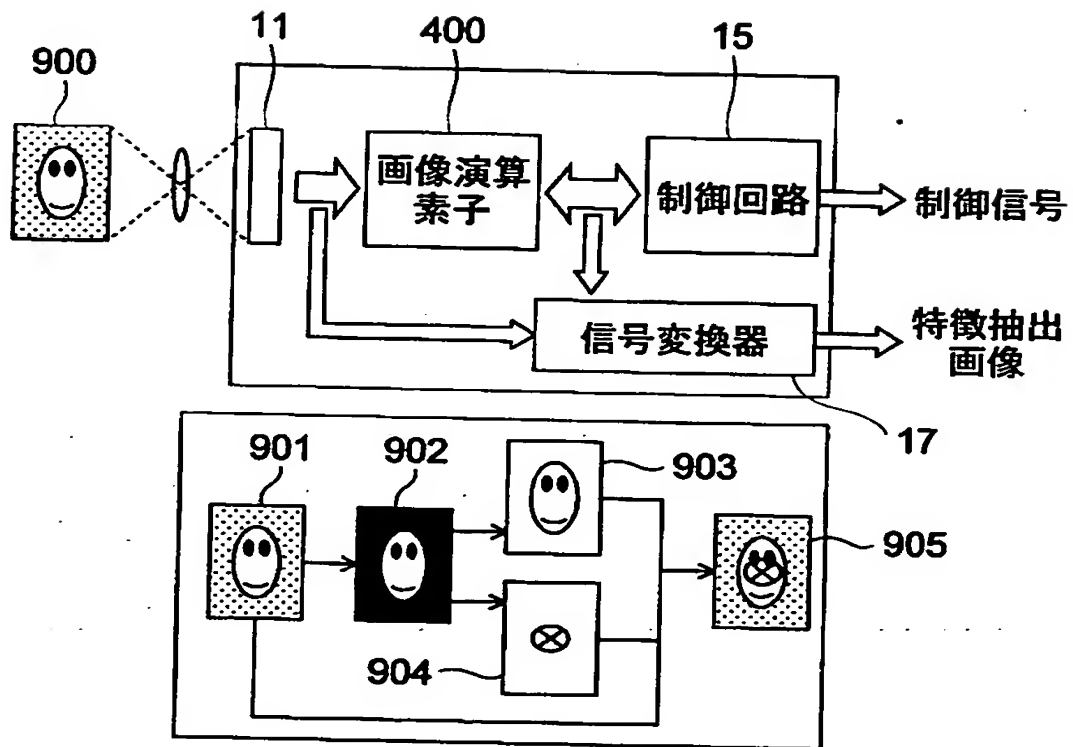
【図 7】



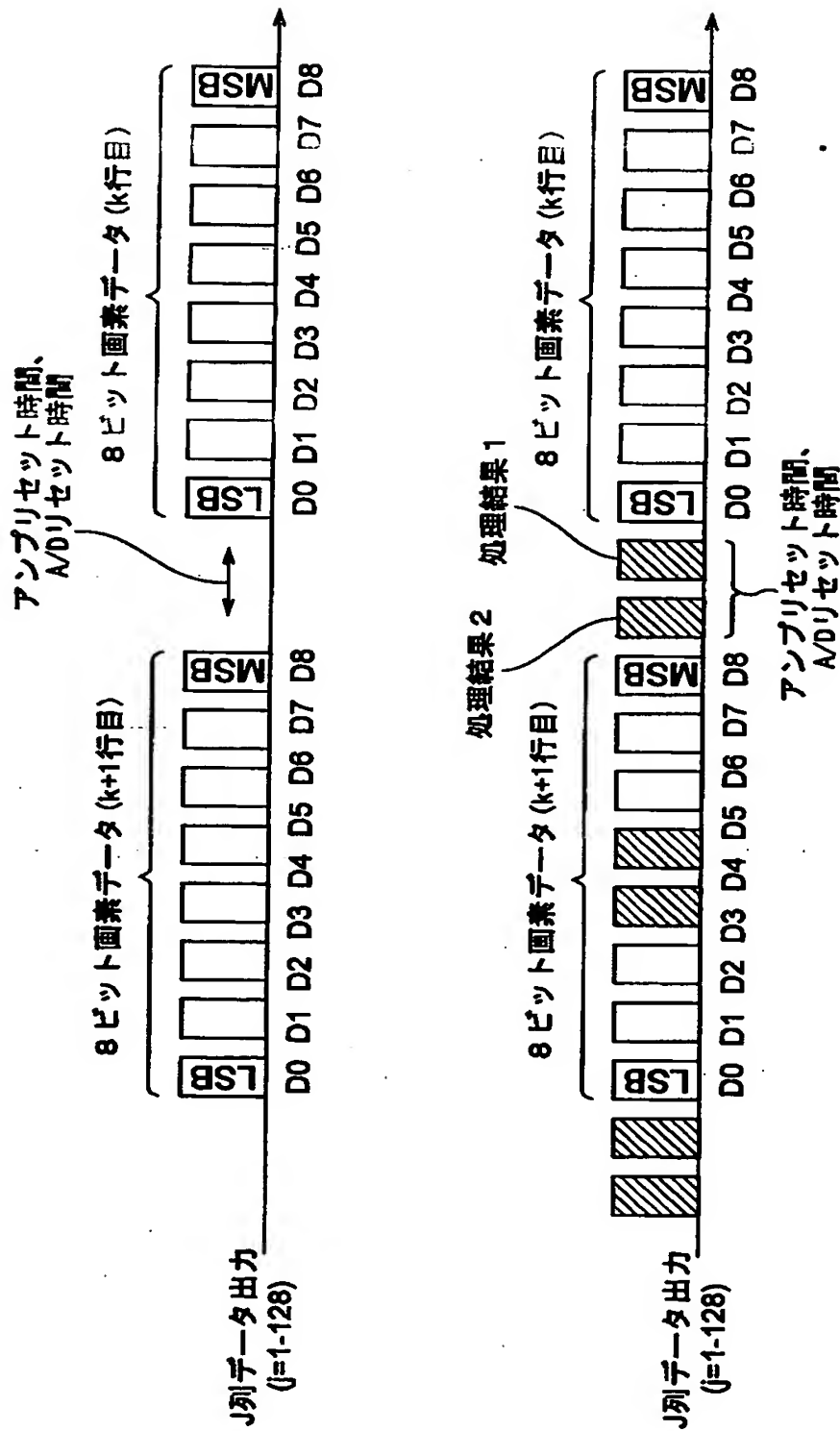
【図 8】



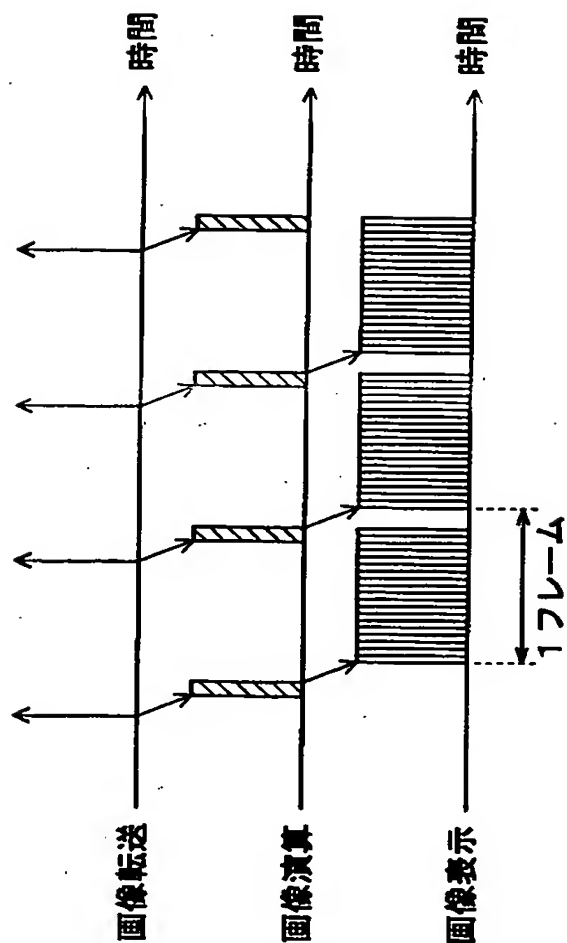
【図 9】



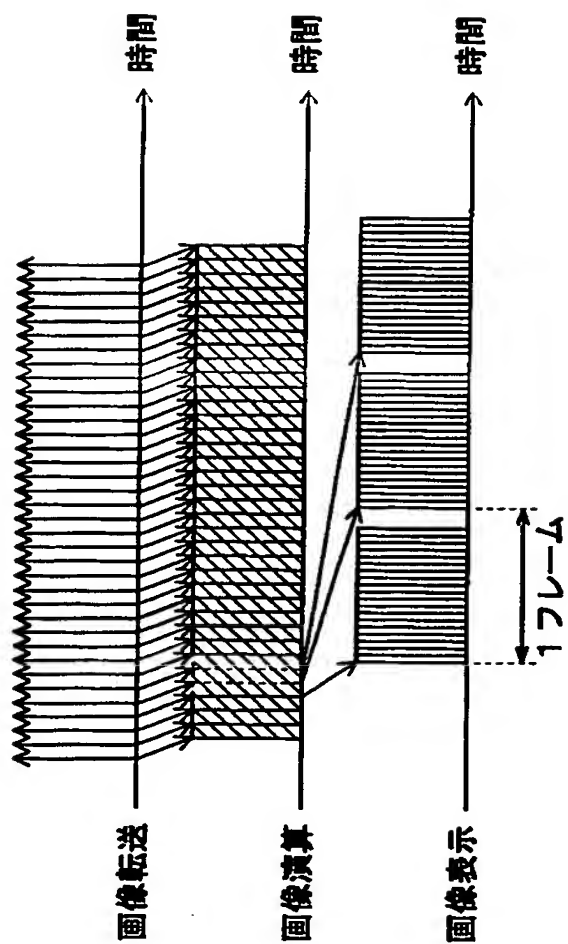
【図 1 0】



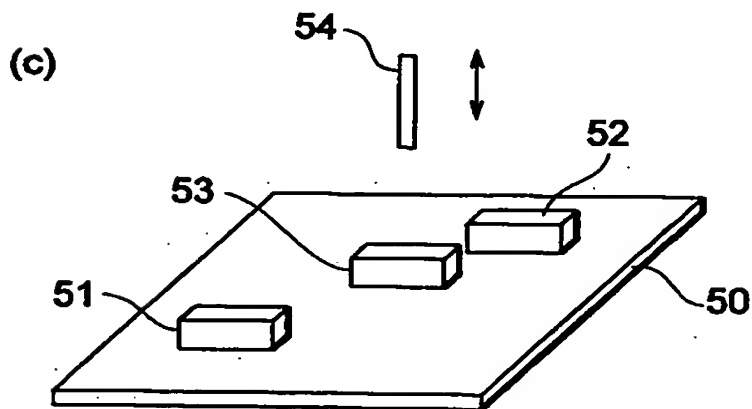
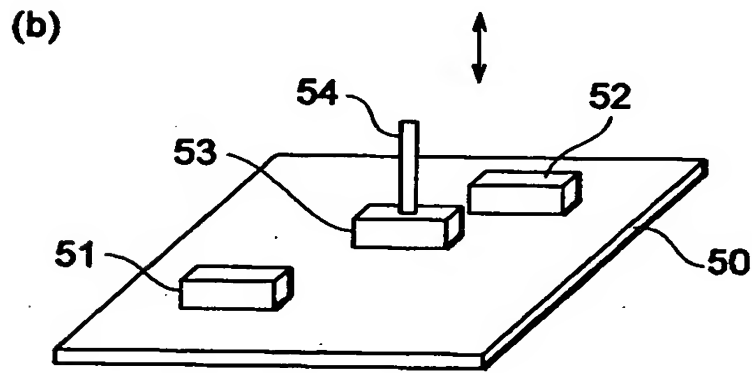
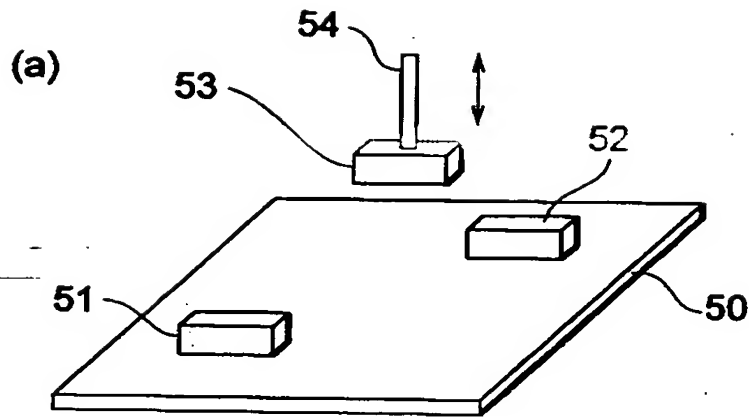
【図 11】



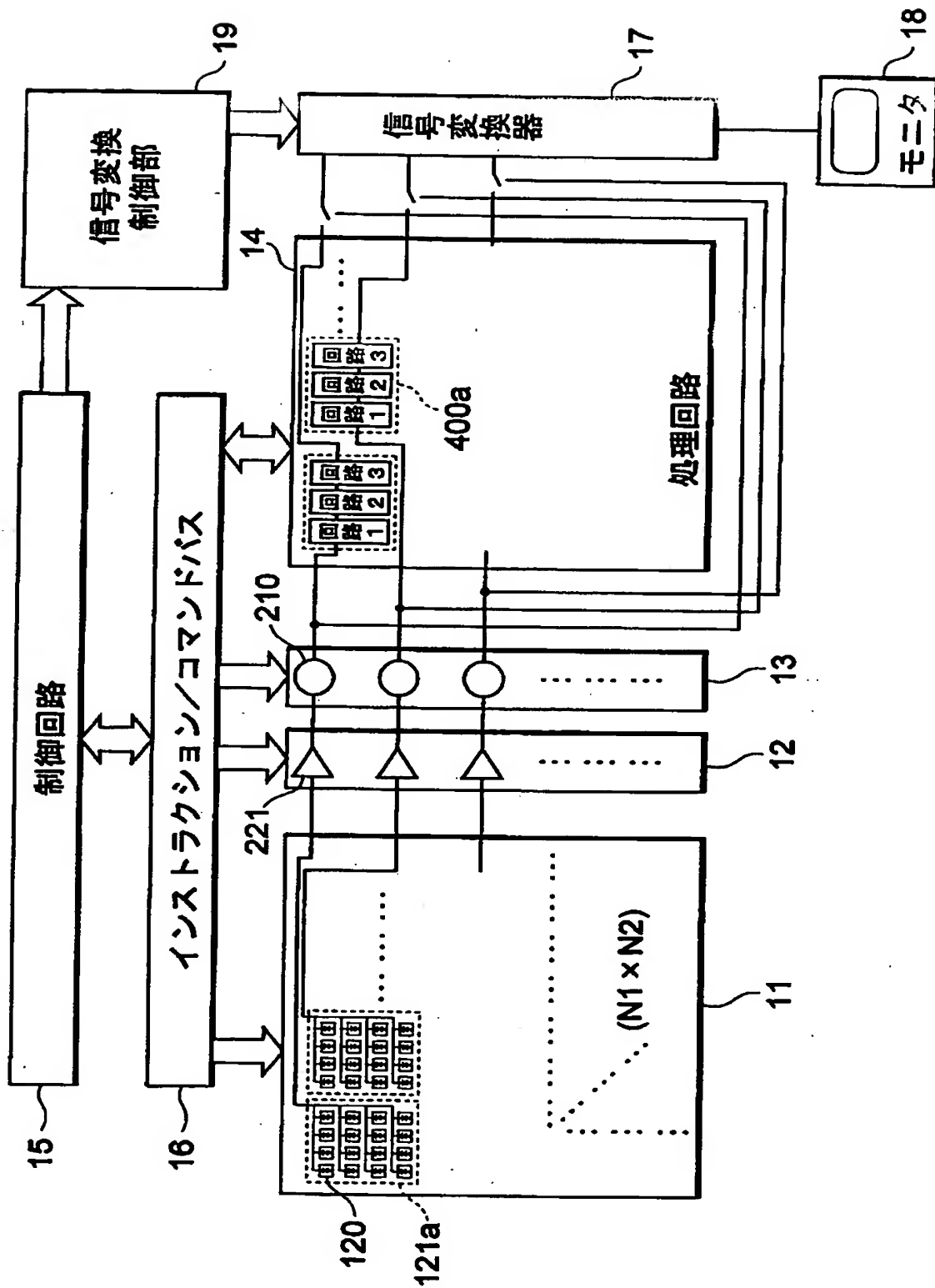
【図 1 2】



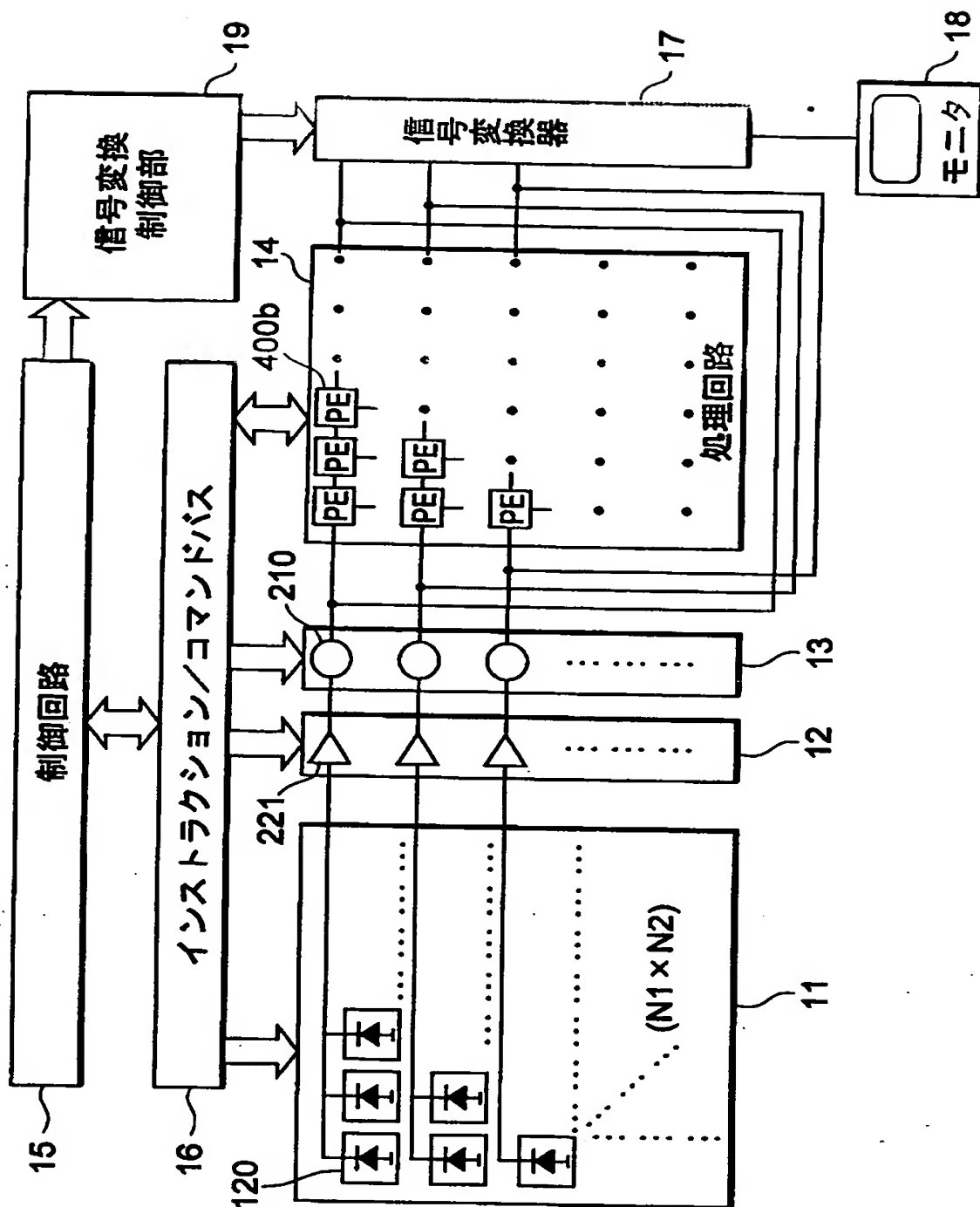
【図 13】



【图 14】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 高速での画像演算を行うとともに、特に重要なタイミングにおける画像をモニター可能な高速画像処理カメラを提供する。

【解決手段】 受光素子アレイ 11 の各列の受光素子 120 に対して 1 個の A/D 変換器 210 を対応させた A/D 変換器アレイ 13 と、複数の処理回路 400 を有する演算素子アレイ 14 と、A/D 変換器 210 と演算素子アレイ 14 の出力信号を合成してモニタ 18 の表示に適したフレームレートにダウンコンバートする信号変換器 17 とを備えている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000236436]

1. 変更年月日 1990年 8月10日

[変更理由] 新規登録

住 所 静岡県浜松市市野町1126番地の1

氏 名 浜松ホトニクス株式会社